

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-050685  
(43)Date of publication of application : 25.03.1983

(51)Int.Cl.

G11B 27/02  
G11B 5/09

(21)Application number : 56-148597

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.09.1981

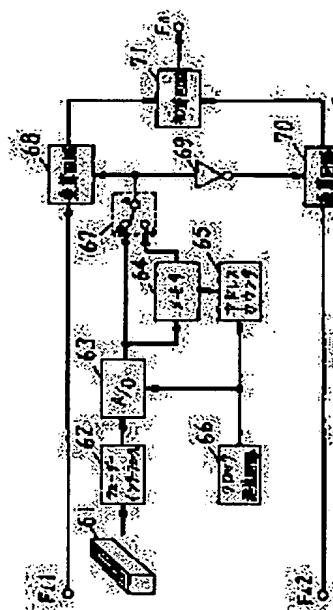
(72)Inventor : SHIRAGAMI KAZUHARU  
KIHARA NOBUYOSHI  
MATSUSHIMA KOJI

## (54) EDITING DEVICE OF DIGITAL SIGNAL

### (57)Abstract:

**PURPOSE:** To realize the editing with a fading process carried out with a simple constitution and an easy operation, by setting either the fade-in or fade-out characteristics with a single manual varying means to store and obtaining both characteristics at the same time in the reading mode.

**CONSTITUTION:** The resistance change of a fader 61 is converted into a DC voltage change through a fader interface 62, and the DC voltage is converted into a digital signal. This fader digital signal is stored in a memory 64 and at the same time fed to a multiplier circuit 68. The circuit 68 performs an operation for the PCM data  $F_{i1}$  and the fader signal then fades out the PCM data. This fader signal is inverted by an inverter 69 and fed to a multiplier circuit 70. The circuit 70 operations for the data  $F_{i1}$  and the fader signal and fades in the PCM data  $F_{i2}$ .



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑯ 特許出願公開

## ⑯ 公開特許公報 (A)

昭58-50685

⑯ Int. Cl.<sup>3</sup>  
G 11 B 27/02  
5/09

識別記号

厅内整理番号  
6507-5D  
8021-5D

⑯ 公開 昭和58年(1983)3月25日

発明の数 1  
審査請求 未請求

(全13頁)

## ⑯ ディジタル信号編集装置

門真市大字門真1006番地松下電器産業株式会社内

⑯ 特 願 昭56-148597

⑯ 発明者 松島宏司

⑯ 出 願 昭56(1981)9月18日

門真市大字門真1006番地松下電器産業株式会社内

⑯ 発明者 白神和治

⑯ 出願人 松下電器産業株式会社

門真市大字門真1006番地松下電器産業株式会社内

門真市大字門真1006番地

⑯ 発明者 木原信義

⑯ 代理人 弁理士 中尾敏男 外1名

## 明細書

## 1、発明の名称

ディジタル信号編集装置

## 2、特許請求の範囲

テープ、ディスク等の音源から再生されたディジタル信号のレベルの変化特性を手動により可変設定するフェード特性設定手段と、このフェード特性設定手段により設定されたレベルの変化特性を記憶するメモリと、このメモリの読み出し出力によって前記再生されたディジタル信号のレベルを制御する第1の手段と、前記メモリの読み出し出力から作成した他のレベル変化特性を用いて、他の再生されたディジタル信号のレベルを制御する第2の手段と、前記第1、第2の手段の出力を合してクロスフェードされて連続された出力信号を記録する手段とを備えたことを特徴とするディジタル信号編集装置。

## 3、発明の詳細な説明

本発明は、ディジタル録音再生装置等により再生成されるディジタル信号を編集するディジタル信

号編集装置に関し、ひとつの手動フェーダーによりクロスフェード処理を行なってなめらかにディジタル信号をつなぐことができ、精密な編集を容易な構成および操作により実現できるディジタル信号編集装置を提供するものである。

従来、アナログ録音されたテープの編集においては、録音済みテープの有用な部分を手切りしてつなぎあわせ1本のテープとする手切り編集が行なわれてきた。この様子を第1図に示す。第1図において、1'、2'はそれぞれ異なる録音済みテープの一部であり、1'のA部は必要な部分、B部は不要な部分、2'のC部は不要な部分、D部は必要な部分とする。これらのテープをそれぞれ切断し、機械的につなぎあわせることにより望ましいテープ3を得ることができる。この際に、テープ1'、2'の切断位置すなわちAとBおよびCとDの境界(以下編集点と呼ぶ)を見つけることが必要であるが、そのためには以下のような作業が必要であった。すなわちテープレコーダを再生状態にし、再生音を聞きながら編集点とおぼしき位置で停止

させる。ここでより正確な編集点を探すためにはテープレコーダの巻取りリールおよび供給リールを手動で互いに同方向に正転または逆転させ、このときの再生音を聞いて判断することにより決定する。すなわち、このような微調整を行なって望ましい編集点であると判断した時に再生ヘッドのギャップ部に当接しているテープ位置を正確な編集点として、上記のような切断を行なっていた。また第1図のようにテープを斜めに切断するのは、編集後のテープを再生したときに編集点で再生音が不連続とならないように考慮された結果である。このようにすれば、A部の音は徐々に小さくなり（フェードアウト）、D部の音が徐々に大きくなる（フェードイン）効果があるためである。この接続部の処理をクロスフェードと呼ぶ。

このような編集作業は音楽テープなどを作成する際には必要不可欠のものであるが、近年実用化されつつあるディジタル録音再生装置に適用する際には困難な問題が生ずる。すなわち、ディジタル録音再生装置においては記録信号はディジタル

特開昭58- 50685(2)

信号であるためアナログ信号のように斜め切りすることはその期間だけ意味のない情報が続くことであり、再生音に有害な影響を与えることは自明である。一方、できるだけ失われる情報を少なくするためにテープ進行方向に垂直に切断した場合にも通常ディジタル録音再生装置においては数十サンプルの情報ビットに対して誤り、訂正コードなどを付して1PCMフレームとして記録するため、1PCMフレームの誤りは避けられない。従って、(1)その部分にミューティングをかける、(2)その部分を飛ばして前後の情報をつなぐ、などの操作が必要であり、いずれにしてもその部分での原情報の音質に対する低下は本質的に問題である。

本発明は上記従来の欠点を解消するものであり、編集点での信号の欠落や不連続のないためらかな編集を可能とし、ひとつの手動フェーダーによりクロスフェード処理を可能とした新規なディジタル信号編集装置を提供するものである。

以下本発明の一実施例を図面に基づいて説明する。まず本発明のディジタル信号編集装置の編集

方式の概略を説明する。この方式では録音済テープを機械的に切断することはせず、ディジタル録音再生装置を3台使用し、第1のディジタル録音再生装置の再生ディジタル信号を編集点まで再生し、その後第2のディジタル録音再生装置の再生ディジタル信号に切り替えて第3のディジタル録音再生装置に録音し、編集されたテープを作成する。これを第2図で説明する。すなわち、第2図において、(a)は第1のディジタル録音再生装置に装着された第1のテープであり、(b)は第2のディジタル録音再生装置に装着された第2のテープであり、(c)は編集したディジタル信号を録音するための第3のテープであり第3のディジタル録音再生装置に装着されている。まず第1のディジタル録音再生装置に装着された第1のテープを必要な部分Aの始まり点4より少し多めに巻き戻すと同時に、第2のディジタル録音再生装置に装着された第2のテープをCとDの境界よりL<sub>2</sub>だけ手前に巻き戻す。そして第1のテープを再生し、Aの始まり点4に到達すると、第3のディジタル録

再生装置に装着された第3のテープを録音状態とし、第1のテープのAの部分を録音する。そして第1のテープAとBの境界よりL<sub>1</sub>分だけ手前になると、第2のテープを再生する。ここでL<sub>1</sub> = L<sub>2</sub>とするが、この値は、第1のテープのAとBの境界に第1のディジタル録音再生装置の再生ヘッドが当接する瞬間ににおいて第2のテープのC、Dの境界に第2のディジタル録音再生装置の再生ヘッドが当接するように、第1のテープ及び第2のテープを同期走行させるのに十分な長さであればよい。

このようにして第1のテープと第2のテープを同期走行させ、第3のテープに録音するディジタル信号を第1のテープのAとBの境界から第2のテープのDに切り替えることにより、Cのような第3の編集されたテープを作成することができる。このときAとDの境界において、Aのディジタル信号と、この信号を制御する手動フェーダーに関連したフェーダーディジタル信号により、ディジタル演算しフェードアウトする。またDのディジ

タル信号と、前記手動フェーダーに関連したフェーダーディジタル信号により、ディジタル演算しフェードインする。そしてフェードアウト、フェードインしたそれぞれのディジタル信号を加算する。

本発明は以上のような思想に基づいたディジタル信号編集装置を実現するもので、以下、実施例に関して詳細な説明を述べる。第3図において、5はこの装置の制御を行なうCPU(マイクロコンピュータ)、6はCPU6のプログラムが格納されているROM、7はCPU6が必要とするデータを保存するRAM、8はデータバス(アドレスバスについては図では省略する)、9はこの装置に対する制御命令を与える操作入力部、9'は操作入力をCPU6が受けとったことを示すための表示、あるいはこの装置の他の部分を制御するために制御信号を出力するための制御出力部、10は上記9, 9'をCPU6とインターフェースするためのインターフェース素子である。一方、P<sub>1</sub>, P<sub>2</sub>はそれぞれ第1および第2ディジタル録音再

生装置(以下PCMテープレコーダと呼ぶ)からのPCMデータ入力端子である。11はCPU6からインターフェース素子10を介した制御出力部9'の出力により制御されるスイッチ、12はスイッチ11を介したPCMデータを書き込み記憶するメモリ、13はメモリ12のアドレスカウンタ、14はアドレスカウンタ13とCPU6をインターフェースするインターフェース素子、15は入力端子P<sub>1</sub>から入力される第1のPCMテープレコーダのPCMデータと入力端子P<sub>2</sub>から入力される第2のPCMテープレコーダのPCMデータをディジタル演算してクロスフェードを生じさせるためのクロスフェード処理回路である。16は補間回路であり、メモリ12が可変速再生された場合で、もとのサンプリング周波数より低いクロック周波数でメモリを読み出したときには、そのクロック周波数が雑音として再生音声に混入するのを防止するためのものである。17は上記クロスフェード処理回路15と補間回路16の出力のどちらか一方を制御部9'の出力によって切り替え

るスイッチ、18はD/A変換器、19は低域フィルタ、20は増幅器、21はモニター用スピーカである。Rは第3PCMテープレコーダ(記録側テープレコーダ)への出力端子である。22は基準クロックパルス発生回路、23は手動クロックパルス発生器、24は上記基準クロックパルス発生回路22と手動クロックパルス発生器23の出力のどちらか一方を、制御出力部9'の出力によって選択して出力する切替スイッチである。TP<sub>1</sub>端子はP<sub>1</sub>端子に接続される第1のPCMテープレコーダで再生したSMPTEタイムコードの入力端子、25は上記タイムコード入力とCPU6をインターフェースするタイムコードインターフェース回路、TP<sub>2</sub>端子はP<sub>2</sub>端子に接続される第2のPCMテープレコーダで再生したSMPTEタイムコードの入力端子、26は上記タイムコード入力とCPU6をインターフェースするタイムコードインターフェース回路である。

次に同じく第3図に基づき同実施例の動作を説明する。前提として、P<sub>1</sub>端子に接続される第1

のPCMテープレコーダに装着するテープを第2図で説明した第1のテープとし、P<sub>2</sub>端子に接続される第2のPCMテープレコーダと同じく第2のテープとし、R端子に接続される第3のPCMテープレコーダと同じく第3のテープとする。そしてそれぞれを再生側テープレコーダ1、再生側テープレコーダ2、記録側テープレコーダと呼ぶ。第2図(c)に示す第3のテープを作るには、まず編集点すなわち第2図(a)に示す第1のテープのAの開始点4及びA, Bの境界及び(b)に示す第2のテープのC, Dの境界の正確な位置を探す必要がある。

次に編集点を決定するための動作を説明する。まずAの開始点4を決定するために再生側テープレコーダ1により第1のテープの4より前の部分を再生し、P<sub>1</sub>端子に入力する。この時スイッチ11はg-hがONとなっており、P<sub>1</sub>端子にPCMデータが入力されると、このデータはスイッチ11を介して、メモリ-12に巡回的に記録される。すなわちメモリ-12の最後の番地まで書き込み

が終われば再び最初の番地から書き込みを始めるわけで、結果として、ある瞬間をとてみれば、メモリ-12に記憶されているPCMデータは常にその瞬間から一定時間前までのデータが連続して記憶されていることになる。このメモリ-12のアドレスはアドレスカウンタ13によって制御されている。このカウンタ13のクロックパルスは、スイッチ24のe-dをONすることにより基準クロックパルス発生回路22から発生されたクロックパルスが供給されるようになっている。更にスイッチ17はa-bがONとなっており、入力されたPCMデータはクロスフェード処理回路15を経通りし、スイッチ17を介し、D/A変換器18によりもとのアナログ信号に変換され、低域フィルタ19により高域成分がカットされ、增幅器20により増幅され、スピーカ21に供給され、再生側テープレコーダ1の音声がモニターされる。

以上の各部の制御、例えばスイッチ11, 17, 24の複数、クロスフェード処理回路15のディ

13  
容は第4図のようになっている。ここで諸元を次のように仮定する。音声データは16ビット/サンプル、サンプリング周波数50KHz、メモリは256KW (1W=16ビット)、このようにすればメモリ12に記憶される音声データは $256 \div 50K = 5$ 秒より約5秒分である。もちろんメモリを節約するために、メモリに記憶するデータを1サンプルおきにしてもよい(サンプリング周波数が50KHzにならうことになる)。またはビット圧縮の方法を用いて1サンプルあたりのビット数を減らすなどの方法を適用してもよい。ここでは説明を簡単にするためにそのような処理は一切しないことにする。第4図において、256KWのメモリを模擬的に表わすが、音声データは左から右に順次書き込んでいきFFF→FFFまで書きれば再び00000から書き込むことになり、これが繰り返される。編集者が希望するタイミングに対応するメモリアドレスを図中×で表わす。そして一定時間として、繰り返し周期内の例えば4秒間遅れのYのメモリアドレスに対応するタイミングで書

エーブル化などはすべて制御出力部9からの信号により行なわれる。すなわち、キーボード押しボタンなどで構成される操作入力部9の信号がインターフェイス素子10、バスライン8を介してCPU5に伝送され、それに対応した制御信号がCPU5からバスライン6、インターフェース素子10を介して制御出力部9から出力され、この信号により行なわれる。なお第3図では制御出力部9からのスイッチ以外の制御線は省略した。

編集者は、スピーカ21からの出力音声をモニターしながら編集したいタイミングであるという旨の信号を操作入力部9から入力する。この信号は上記の経路でCPU5に伝えられ、制御出力部9を介して次のような制御が行なわれる。まず編集者が希望する編集点より一定時間だけそれまでの動作を続け、一定時間後にメモリ12への書き込みを停止する。その後第1の再生側テープレコーダのテープ走行を停止する。テープレコーダの制御はCPU5の命令により行なわれるが図では全て省略する。さて、このときのメモリ12の内

14  
き込みを終了させる。この結果メモリ12には(Y+1)→FFF→00000→Yの順で音声が記録されていることになる。

次に正確な編集点を探すために、メモリ12の内容を読み出すわけであるが、編集者が操作入力部9からこの装置が編集点探索モードになるよう設定することにより各部への制御信号は以下のようになる。スイッチ17はa-cがONし、スイッチ24はd-eがONとなる。23はロータリーエンコーダなどで構成された手動クロックパルス発生器であり、動かす速度によって発生するパルスの周波数が変化するもので、停止させていれば全くパルスを発生しないものである。手動制御手段としてたとえば回転ダイヤルを採用すれば、その回転速度を上げるほど数多くのパルスを発生するものである。このパルスと回転方向の情報をアドレスカウンタ13に与えアップダウンカウンタとして動作させれば、例えば時計方向に回転させたときにはメモリを順方向すなわちX→Yの順にアドレス設定しメモリの内容を読み出す。この

読み出されたPCMデータは、補間回路16によりデータの補間をし、スイッチ17を介してD/A変換器18によりもとのアナログ信号に変換され、低域フィルタ19により高域成分がカットされ増幅器20により増幅され、スピーカ20に供給され編集者はその音をモニターする。そして上記回転ダイヤルの回転をはやくすればするほど再生させる音声の周波数が高くなる。反時計方向に回転させた時には、 $\Sigma \rightarrow 0000 \rightarrow 2FFF \rightarrow (\Sigma + 1)$ の順に再生され、あたかも録音されたテープレコーダのテープを逆回転させたような音声が再生される。この時も回転速度に応じて再生音の周波数がかわるのは当然である。このように50kHzでサンプリングされメモリされた音声を可变速再生する場合には次のような問題がある。すなわち、再生が50kHz以上のクロック周波数で行なわれる場合は特に問題はないが、50kHzより低い周波数、例えば10kHzで再生した場合にはこのクロック周波数による10kHz成分が生じる。ところが低域フィルタ19の遮断周波数は

例えば20kHzでサンプリング周波数50kHzのときの最適値となっている。したがって、上記10kHz成分は低域フィルタ19によって除去されずに雑音として聞こえることになる。この問題を解決するために補間回路16を動作させる。

次に第5図を参照しながら補間回路16の機能を説明する。第5図(a)はメモリーに記憶された音声信号を正常速度すなわち50kHzで再生し、D/A変換したものである。同じ信号を10kHzで再生し、D/A変換すると第5図(b)のようになる。ここで第5図(a), (b)におけるS点は同一サンプルであることを示す。これらの信号の不連続部分を第5図(c)に示すように50kHzでなめらかに補間することがこの回路の目的である。

まず、補間の考え方について説明する。第5図(b), (c)の一部の拡大図を第6図に示す。第6図において31は補間回路への入力である。a, bはそれぞれメモリを読み出した出力で、時間的に相隣りあうサンプルのサンプル値である。T<sub>10</sub>, T<sub>20</sub>は手動クロックパルスのタイミングで、T<sub>20</sub>はT<sub>10</sub>

の1クロック周期後のタイミングである。T<sub>10</sub>, T<sub>11</sub>, T<sub>12</sub>, T<sub>13</sub>, T<sub>14</sub>, T<sub>20</sub>はサンプリングクロックパルスのタイミングである。32は補間回路16の出力である。T<sub>1n</sub>(n=0, 1, 2, 3, 4)における補間回路16の出力L<sub>1n</sub>は次のようにして決められる。

$$L_{1n} = a + (b - a) \cdot n \cdot k \quad \dots \dots \dots (1)$$

ここでkは手動クロックパルス発生器23の出力の周波数に逆比例する係数(傾き係数)で、例えば第6図の場合で簡単に決めれば、手動クロックパルス発生器23の出力は10kHz、サンプリング周波数は50kHzであるので $k = \frac{1}{5}$ とする。式において、k =  $\frac{1}{5}$ , n = 0, 1, 2, 3, 4とすれば第6図の32の補間ができることがわかる。以上の機能を実現するためのブロック図を第7図に示す。

第7図に補間回路16のブロック図を示す。62は補間回路への16ビットパラレル信号入力、63は手動クロックパルス発生器23の出力が入力される端子、64はサンプリングクロック(この場

合50kHz)入力端子である。41, 42はラッチ回路、43はラッチ回路41の出力からラッチ回路42の出力を減算する減算回路、44は加算回路、45はサンプリングクロックで加算回路44の出力をラッチするラッチ回路である。46はリフアレンスクロックパルス発生回路(例えば $50\text{kHz} \times 100 = 5\text{MHz}$ のクロックパルスを発生する)である。47は手動クロックパルス発生器23の出力でリセットされ、上記リフアレンスクロックパルス発生回路46の出力を計数するカウンタ、48はROMより成り、カウンタ47の出力の値をアドレスとして、そのアドレスに対応するROMの内容を出力して傾き係数kを発生する回路、49はラッチ回路46の出力と傾き係数発生回路48の出力の傾きを乗算する回路、50は乗算回路49の出力とラッチ回路42の出力を加算する加算回路、51はラッチ回路43の出力の極性ビットをラッチし、乗算回路49の極性を決定する極性決定回路である。55は補間回路の出力である。

ラッチ回路41, 42の出力はそれぞれ、第6図におけるb, aに対応する。減算回路43の出力は(1)式における(b-a)である。更に加算回路44とラッチ回路45の組合せによりその出力(b-a)×nを得る。リフアレンスクロックパルス発生回路46の出力の周波数は5MHz、手動クロック発生器23の出力の周波数は10kHzであるから、カウンタ47の出力は500となる。この時例えばROMにより構成された傾き係数発生回路48の出力kとして $100/500 = 1/5$ を出力する。すなわちカウンタ47の出力を2とすれば $\frac{100}{2}$ をkとする。この結果乗算回路49の出力は(b-a)·n·kが得られる。更に加算回路50の出力として(1)式のa+(b-a)·n·kが得られる。したがって補間回路の出力66として第6図の点線32が得られるわけである。ここでaとbの大小関係により極性ビットが極性決定回路51を経て乗算回路49の符号ビットを変化させる。なお第7図においては、(1)式の第2項は(b-a)×nを先に計算する構成となっている。

SMPTEタイムコードではフレーム(30分の1秒)単位の信号が最小単位であるので、編集精度をこれ以上にするには、フレーム内で音声サンプリングパルスを計数しフレーム内の何サンプル目であるかという情報もあわせてCPU5が読み込んでRAM7に保存しておく必要があるが、第3図ではこのカウンタを省略し、タイムコードダイナタフエース回路25に含めるものとする。したがってこの時点でCPU5は時・分・秒・フレーム・サンプルの情報を読みことになる。次に編集点探索モードでは手動クロックパルス発生器23の出力によってアドレスカウンタ13とともにタイムコードダイナタフエース25内のカウンタが動作し、手動により修正した正確な編集点のタイムコード情報を更に細かいフレーム単位内のサンプル点情報をすなわち時・分・秒・フレーム・サンプルの情報をCPU5が読みことになる。(図示せず)この情報をSP1とする。このようにして、正確なサンプル点のメモリ12内の位置、テープ上の位置の情報をCPU5が持つことになる。

るが、ハードウェアによっては、この段階でオーバーフローがあるので、k×nを最初に計算する構成とすればその惧れはなくなる。

以上のようにして第3図の補間回路16の出力が得られ、D/A変換器18、低域フィルタ19、増幅器20を経てスピーカ21から可変速再生された音声がモニターできる。このとき回転ダイヤルを正逆転させれば従来のアナログテープレコーダのリールを手動で正逆回転させたときの再生音と全く同じものが聞こえる。

以上のようにして編集したい点で回転ダイヤルを止め、その点が編集点である旨の信号をCPU6に与える。これで第2図におけるAの開始点4の位置が決定したわけである。この位置をCPU6が認識するには次のような過程を経る。まず最初に編集者から与えられた編集点であるというタイミングでPCMデータと同時に入力されているTP1端子からのタイムコード入力信号をタイムコードインターフェース25、バスライン8を経てCPU6が読み込み、RAM7に保存する。ここで

次に第2図(a)の第1のテープのA, Bの境界を決定する。前述と同様にして編集者がスピーカ21からの出力音声をモニターしながら編集したいタイミングすなわち第1のテープのA, Bの境界付近で前述と同様に操作入力部9からその旨の信号を入力する。その後、一定時間メモリ12に書き込みを続け、停止するところまでは同様である。ただしこの場合は、メモリ12の容量が約5秒あるとすれば、指定点から5秒の半分の時間より短かい時間例えば1秒経過した時点で、メモリ12への書き込みを停止する。このときのメモリ12内のようすを第8図に示しX, YはそれぞれXP1, YP1に相当する、メモリ12内の正確な編集点を探す操作は前述と同様でスイッチ17はa-bがON, スイッチ24はd-cがONとなり、ダイヤルを正方向に回転させた時にはメモリ12の内容はXP1→YP1の順に再生され、逆方向に回転させた場合にはXP1→00000→2FFF→(YP1+1)の順に再生される。このようにして回転ダイヤルの回転とともに音声が再生されるわ

けであるから回転ダイヤルを正しい位置で停止させてこの点を編集点として指定することができる。この点の位置情報は前述の場合と同様の操作でCPU 5 に読み込み RAM 7 に保存する。この点のメモリ上のアドレスを  $X_{P_1} + N_{P_1}$  とする。また前述と同様に、手動により修正した正確な編集点のタイムコード情報及びサンプル点情報を  $E_{P_1}$  とする。

次に前述で設定された編集点（メモリ内のアドレス  $X_{P_1} + N_{P_1}$ ）が正しいかどうかメモリ 12 の内容を指定されたアドレス分を連続して基準クロックで読み出しモニターするわけであるが、編集者が操作入力部 9 からこの装置が編集点メモリ・プレモニターモードになるよう設定することにより各部への制御は以下のようになる。スイッチ 17 は a-c が ON し、スイッチ 24 は d-e が ON となる。また CPU 5 は、RAM 7 に保存されているアドレスカウンターの情報  $Y_{P_1}$  を、データバス 8、インターフェース素子 14 を介してアドレスカウンタ 13 に初期値としてプリセットする。

なっており、  $P_2$  端子に PCM データが入力されると、このデータはスイッチ 11 を介して、メモリ 12 に巡回的に記録される。

以後は、第 2 図(a)に示す第 1 のテープの開始点 4 を決定する内容と同一であるため説明を省略する。ここで設定された第 4 図の X, Y をそれぞれ  $X_{P_2}$ ,  $Y_{P_2}$  とし、編集点でのメモリ 12 内のアドレスを  $X_{P_2} + N_{P_2}$ 、タイムコード情報及びサンプル点情報を  $E_{P_2}$  とする。

次に前述で設定された編集点（メモリ内のアドレス  $X_{P_2} + N_{P_2}$ ）が正しいかどうかメモリ 12 の内容を指定されたアドレス分連続して基準クロックで読み出しモニターするわけであるが、編集者が操作入力部 9 からこの装置が編集点メモリ・プレモニターモードになるよう設定することにより各部への制御は以下のようになる。スイッチ 17 は a-c が ON し、スイッチ 24 は d-e が ON となる。また CPU 5 は、RAM 7 に保存されているアドレスカウンタの情報  $Y_{P_2} + 1$  を、データバス 8、インターフェース素子 14 を介してアド

基準クロック発生回路 22 より発生したクロック信号は、スイッチ 24 を介し、アドレスカウンタ 13 に入力する。アドレスカウンタ 13 は、CPU 5 の命令に基づいて  $Y_{P_1} \rightarrow 2 F F F F \rightarrow 0000$   $0 \rightarrow X_{P_1} + N_{P_1}$  の順にアドレスを変化させてメモリ 12 を読み出すと同時に、このアドレスは、インターフェース素子 14 を介して CPU 5 に入力される。メモリ 12 より読み出されたディジタル信号は、補間回路 16 を素通りし、スイッチ 17、D/A 変換器 18、低域フィルタ 19、増幅器 20 を経てスピーカ 21 より連続した音声信号としてモニターされる。

以上の編集点メモリ・プレモニターモードで編集点に問題があればメモリ内での編集点の決定作業以降の過程をくり返し、適当な編集点が得られれば次の作業に進む。

次に第 2 図(b)の第 2 のテープの C, D の境界を決定するために第 2 の再生側テープレコーダにより第 2 のテープの 2 の部分を再生し、  $P_2$  端子に入力する。この時スイッチ 11 は、g-i が ON と

レスカウンタ 13 に初期値としてプリセットする。<sup>26</sup> 基準クロック発生回路 22 より発生したクロック信号は、スイッチ 24 を介し、アドレスカウンタ 13 に入力する。アドレスカウンタ 13 は、CPU 5 の命令に基づいて  $Y_{P_2} + 1 \rightarrow 2 F F F F \rightarrow 00000 \rightarrow X_{P_2} + N_{P_2}$  の順にアドレスを変化させてメモリ 12 を読み出すと同時に、このアドレスは、インターフェース素子 14 を介して CPU 5 に入力される。メモリ 12 より読み出されたディジタル信号は、補間回路 16 を素通りし、スイッチ 17、D/A 変換器 18、低域フィルタ 19、増幅器 20 を経てスピーカ 21 より連続した音声信号としてモニターされる。以上の編集点メモリ・プレモニターモードで編集点に問題があればメモリ内での編集点の決定作業以降の過程をくり返し、適当な編集点が得られれば次の作業に進む。

次に第 2 図(c)の D 3 のテープのごとく、A と D をクロスフェードするためのフェード特性を次のようにして設定する。

実際のテープには記録せずに、第 1 および第 2

の再生側テープレコーダを走行させて、第1回目のテープ・プレモニター動作を行なう。編集者が操作入力部9からこの装置がテープ・プレモニターモードとなるように設定すると、CPU5からの指令により第1および第2の再生側テープレコーダを、それぞれの編集点EP<sub>1</sub>、EP<sub>2</sub>よりモニターに必要な時間分十同期走行制御に必要な時間分、(例えば第2図L<sub>1</sub>、L<sub>2</sub>)巻き戻し、再生状態とし前述で求めたそれぞれの編集点EP<sub>1</sub>とEP<sub>2</sub>が同一時間に第3図P<sub>1</sub>およびP<sub>2</sub>に投入されるようそれぞれのテープを同期制御し適当な遅延回路によりタイミングを調整する。まず第2図(a)のAの信号のみを、クロスフェード処理回路15により通過させる。

次に第2図(a)の第1のテープの編集点付近になると、クロスフェードを行なうが、ここでクロスフェード処理について具体的に述べる。第9図は第3図におけるクロスフェード処理回路15の詳細なブロック図である。F<sub>i</sub>1は第3図におけるP<sub>1</sub>からのPCMデータ入力、F<sub>i</sub>2は同じくP<sub>2</sub>か

入力されるPCMデータと、インバータ69からのフェーダーディジタル信号とを演算する乗算回路、71は乗算回路68、70の出力を加算する加算回路である。編集者はマニュアルフェーダー61の抵抗値を無限大からゼロとなる方向に操作すると、フェーダーインターフェース62は、抵抗値の変化をDC電圧変化に変換する。このDC電圧は、A/D変換回路63でクロック発生回路66のクロックによりサンプリングされディジタル信号に変換される。この特性を第10図72とする。そして変換されたフェーダーディジタル信号は、外部(第3図9制御出力部)によりクリアされゼロからクロック発生回路66のクロックでスタートしたアドレスカウンタ65によりアドレスセットされる。モリ64に記憶されると同時にスイッチ67のa-bを介し乗算回路68に入力される。乗算回路68は、F<sub>i</sub>1から入力されたPCMデータと、スイッチ67を介し入力されたフェーダーディジタル信号とを演算しF<sub>i</sub>1から入力されたPCMデータをフェードアウトする。

らのPCMデータ入力である。

編集者が操作入力部9からこの装置がマニュアルフェーダー設定モードになるよう設定することにより各部への制御信号は以下のようになる。スイッチ67はa-bがONとなる。61は可変抵抗などから構成されるマニュアルフェーダで、62はマニュアルフェーダー61と回路とを接続するフェーダーインターフェース、63はサンプリング・ホールド回路から成るA/D変換回路、64は63A/D変換回路のフェーダーディジタル信号をそれぞれ記憶するメモリ、65は66クロック発生回路のクロック信号により、メモリ64のアドレスを設定するアドレスカウンタ、67はA/D変換回路63のフェーダーディジタル信号と、メモリ64から読み出されたフェーダーディジタル信号とを切り替えるスイッチ、68はF<sub>i</sub>1から入力されるPCMデータと、67スイッチからのフェーダーディジタル信号とを演算する乗算回路、69はスイッチ67からのフェーダーディジタル信号を反転するインバータ、70はF<sub>i</sub>2から

またスイッチ67を介したフェーダーディジタル信号は、インバータ69により反転され乗算回路70に入力される。乗算回路70は、F<sub>i</sub>2から入力されたPCMデータと、インバータ69ICにより入力されたフェーダーディジタル信号とを演算しF<sub>i</sub>2から入力されたPCMデータをフェードインする。さらに加算回路71は乗算回路68によりフェードアウトしたPCMデータと、乗算回路70ICによりフェードインしたPCMデータとを加算しクロスフェードされたF<sub>o</sub>の出力を得る。このF<sub>o</sub>は、第3図のスイッチ17に入力される。

ここで諸元を次のように仮定する。マニュアルフェーダーからのDC電圧は8ビット/サンプル、サンプリング周波数30Hz、メモリーは300W(1W=8ビット)、このようにすればメモリ-64、71に記憶されるデータは、300÷30=10よりそれぞれ10秒分である。

ゆえに編集者は、第3図のクロスフェード処理回路15のPCMデータ信号を、スイッチ17、D/A変換器18、低域フィルター19、増幅器

31  
20. スピーカ 21 を介してモニターしながら、マニュアルフェーダー 61 を操作することにより独特のクロスフェード特性（例えば第10図の特性）を得ることができる。

なお上記の構成では乗算回路 68, 70 に入力されるフェーダーディジタル信号は互いに補数の関係であるため、加算回路 71 のクロスフェード出力信号が飽和しないという利点を有する。

ここで前述の編集者がマニュアルフェーダー設定モードとなるよう設定した時、すなわちアドレスカウンタ 65 がスタートした時、第3図 CPU 6 は、第1および第2の再生側テープレコーダから再生される (T<sub>P1</sub> 及び T<sub>P2</sub> から入力される) タイムコード信号を、タイムコードインターフェース回路 25, 26 を介して RAM 7 に入力する。この時のタイムコードを E<sub>T1</sub> とする。

次にクロスフェード時間が終了すると（上記では10秒経過すると）クロスフェード処理回路 15 は、P<sub>2</sub> から入力された信号のみを通過させ、メモリ 64 の書き込みを停止する。

33  
データーディジタル信号）が記憶されているメモリ 64 を10秒間読み出す。この読み出されたフェーダーディジタル信号はスイッチ 67 を介し、乗算回路 68 に入力する。乗算回路 68 は F<sub>11</sub> 端子から入力される PCM データとメモリ 64 より読み出されたフェーダーディジタル信号とで演算を行ないフェードアウトする。またスイッチ 67 を介し、インバータ 69 により反転したフェーダーディジタル信号は乗算回路 70 に入力される。乗算回路 70 は F<sub>12</sub> 端子から入力される PCM データとインバータ 69 により入力されたフェーダーディジタル信号とで演算を行ないフェードインする。

加算回路 71 は乗算回路 68 によりフェードアウトした PCM データと、乗算回路 70 によりフェードインした PCM データとを加算しクロスフェードされた F<sub>0</sub> の出力を得る。以上のように前述の第1回目のテープ・プレモニター・モード時に設定したクロスフェードの特性が、メモリ 64 を使用することにより再現できる。

テープ上の正確な編集点は前述のように RAM 7 に保存されているので、テープの同期走行、上記遅延回路の遅延量、クロスフェードのタイミングなどはすべて CPU 6 からの指令によって行なわれる。

以上の過程により、第1回目のテープ・プレモニターが終了し編集点付近のクロスフェード特性が内蔵されているメモリ 64 に記憶される。

次に第1回目に設定したクロスフェード特性通りに編集されるかどうか第2回目のテープ・プレモニターを行なう。第2回目のテープ・プレモニターは、第1回目のテープ・プレモニターと同一な操作、制御を行なうが、CPU 6 は、タイムコードインターフェース回路 25 を介し T<sub>P1</sub> より入力されたタイムコード信号と、前述で設定したタイムコード値 E<sub>T1</sub> と同一となると、第9図スイッチ 67 の a-c を ON, アドレスカウンタ 65 をクリアしスタートさせる。（アドレスカウンタをゼロよりスタートさせる。）アドレスカウンタ 65 は、マニュアルフェーダーの情報（フェ

34  
以上の過程により、テープ・プレモニターが終了する。ここで編集点付近のクロスフェード特性に問題があれば前記第1回目のテープ・プレモニター動作をくり返し、メモリ 64 のフェーダーディジタル信号を記憶し直す。適当なクロスフェード特性が得られれば次の編集作業に進む。

編集作業において、それぞれの編集点付近は第2回目のテープ・プレモニターの動作と同一であるが、編集作業は、第2図の第1のテープ及び第2のテープの必要な部分を再生して第3のテープに記録しなければならないため、第1の再生側テープレコーダを第2図(a)の第1のテープの A の開始部分より少し前まで巻き戻す。また第2の再生側テープレコーダを、第2図(b)の第2のテープの C, D の編集点 EP<sub>2</sub> より L<sub>2</sub> の時間分巻き戻す。そして第1の再生側テープレコーダを再生し、第3図の P<sub>1</sub> 端子に第2図(a)の A の開始点 A がディジタル信号として入力されると、クロスフェード処理回路 15 を繋通りし、スイッチ 17 を介し R 端子に出力する。R 端子には記録側テープレコーダ

が接続されておりこのテープレコーダを記録状態とする。

次に第1の再生側テープレコーダが第2図(a)のAのクロスフェード部分よりL<sub>1</sub>手前まで再生すると、第2の再生側テープレコーダを再生し、前述で求めたそれぞれの編集点EP<sub>1</sub>とEP<sub>2</sub>が同一時間に第3図P<sub>1</sub>及びP<sub>2</sub>に入力されるようそれぞれのテープを同期制御し適当な遅延回路によりタイミングを調整する。以後は第2回目のテープ・プレモニターの動作とまったく同一な動作を行なうことによりR端子に接続されている記録側テープレコーダに第2図(c)のごとく編集される。

上記の実施例によれば、テープデッキの記録フォーマットとは全く関係なく音声のPCM信号そのものの段階で編集するため、記録側テープレコーダで新たに再構成して記録する際の手切り編集で生じた情報の欠落なども全く生じない。

また再生側テープレコーダの出力をいったんメモリに記憶させ、このメモリを読み出してモニターリー編集を行なうため、精度が高く、編集点の選

定が容易となる。特に補間回路を設けたことにより、メモリを手動で可変速に読み出すことが可能となり編集点をアナログ信号のテープの場合と同様に容易に選ぶことができる。さらに編集点の近傍でクロスフェード処理を施すにあたり、単一の手動フェーダーを用いてフェードアウト特性とフェードイン特性とを作成することが可能となり、これを上記のように非常に簡単な構成で実現できる。また、一方のフェード特性を他方のフェード特性を反転させて作成することからそれぞれの特性処理をされた信号同士を加算した時に飽和が起こらないという実用上便利な特徴も有する。上記のフェード特性はメモリに記憶させ、一方再生信号も上述のように他のメモリに記憶させてあるので、これらのメモリを読み出してリハーサルが可能であり、またそれ容易にメモリの内容を書き直して再びリハーサルができることも実用性を高める上で大きな効果がある。

以上のように本発明によれば、再生ディジタル信号のフェードイン、フェードアウト特性の一方

を单一の手動可変手段により設定でき、さらに得られたその特性をメモリに記憶し、このメモリの読み出し時に記憶された一方のフェード特性と、これを用いて形成した他方のフェード特性とを同時に得ることができるから、非常に簡単な構成と容易な操作でクロスフェード処理を施した編集が可能となるものである。

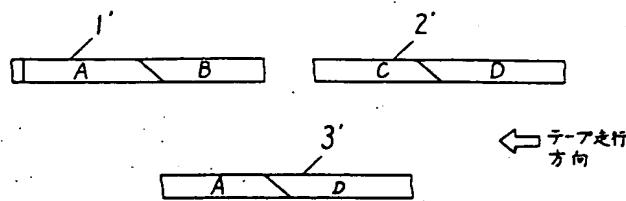
#### 4. 図面の簡単な説明

第1図はアナログ編集の概念を示す説明図、第2図は本発明のディジタル信号編集装置に採用した編集方式の概念を示す説明図、第3図は本発明のディジタル信号編集装置の一実施例を示すブロック図、第4図はメモリ12の書き込み状態を示す説明図、第5図はクロスフェードの概念を説明する波形図、第6図は本実施例の補間機能を説明する波形図、第7図は補間回路の構成を示すブロック図、第8図はメモリ12の書き込み状態を示す説明図、第9図はクロスフェード処理回路の構成を示すブロック図、第10図はマニュアルフェーダーにより設定したフェード曲線を示す特性曲線図である。

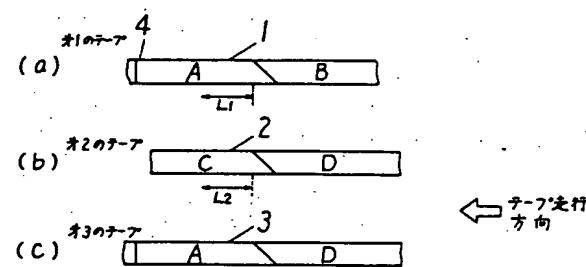
38  
 6 ……CPU、 6 ……ROM、 7 ……RAM、  
 9 ……操作入力部、 9' ……制御出力部、 12 ……  
 メモリ、 13 ……アドレスカウンタ、 15 ……クロスフェード処理回路、 16 ……補間回路、 18  
 ……D/A変換器、 22 ……基準クロック発生回路、 23 ……手動クロック発生器、 61 ……マニ  
 ュアルフェーダー、 63 ……A/D変換回路、 64  
 ……メモリ、 65 ……アドレスカウンタ、 66 ……クロック発生回路、 68, 70 ……乗算回路、  
 69 ……インバータ、 71 ……加算回路。

代理人の氏名 弁理士 中尾 敏男 ほか1名

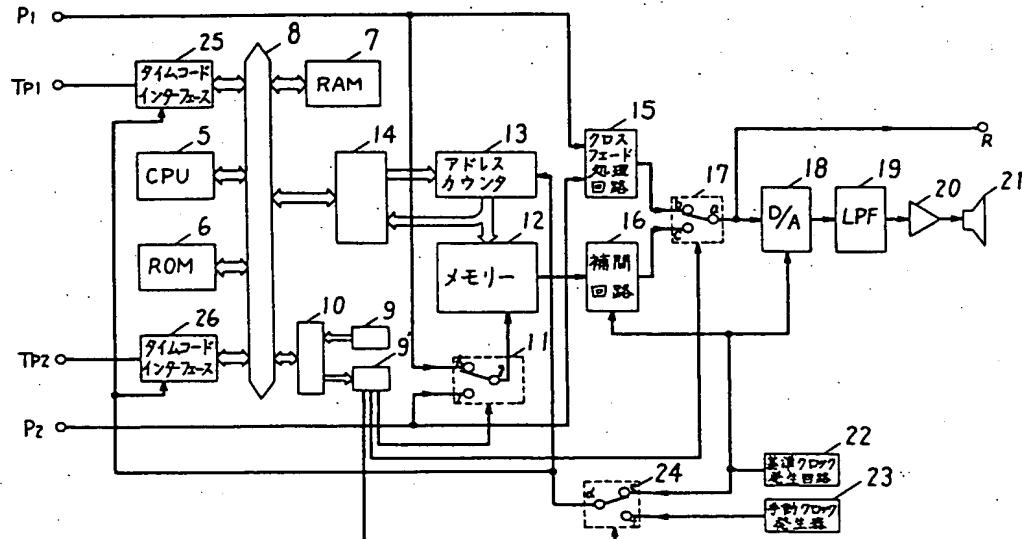
第 1 図



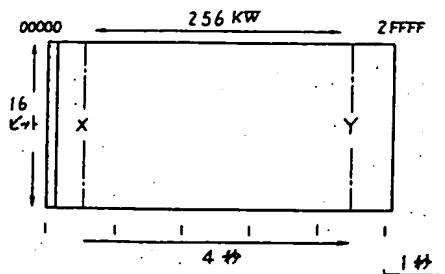
第 2 図



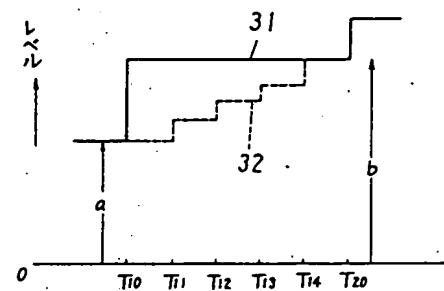
第 3 図



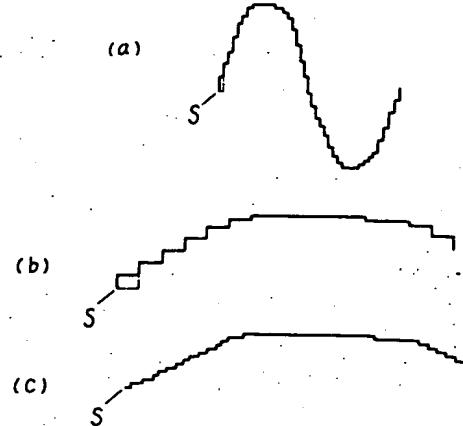
第 4 図



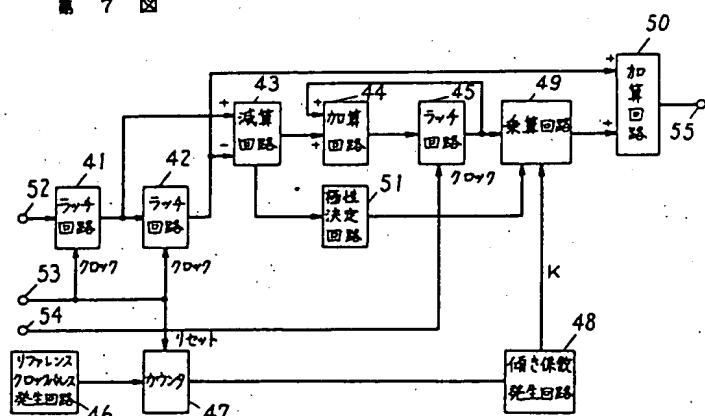
第 6 図



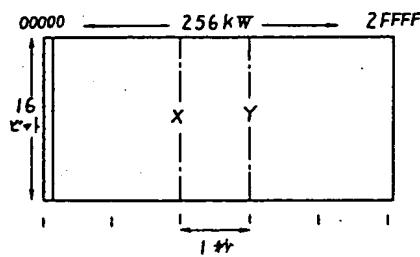
第 5 図



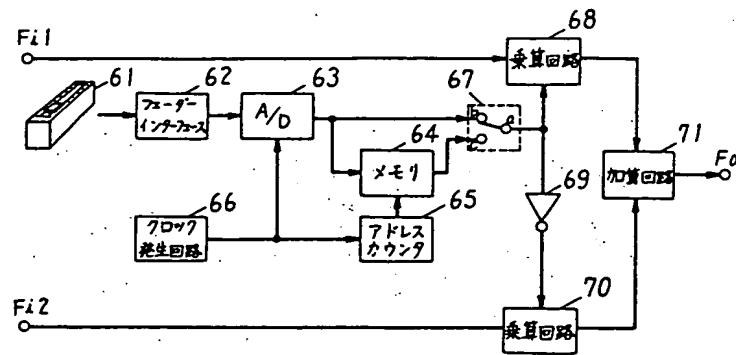
第 7 図



第 8 図



第 9 図



第 10 図

